

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-013159

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H03G 3/10

(21)Application number : 10-180275

(71)Applicant : SONY CORP

(22)Date of filing : 26.06.1998

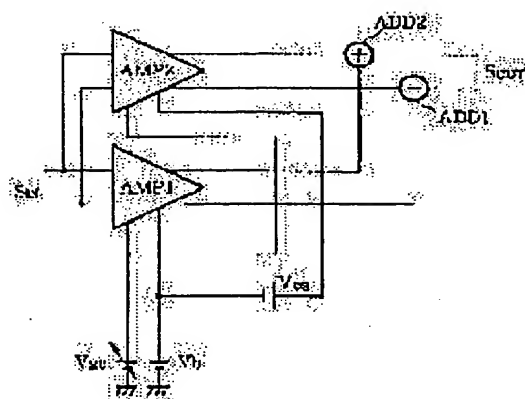
(72)Inventor : NISHIYAMA SEICHI

## (54) AMPLIFIER CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the amplifier circuit where a wide dynamic range is obtained, the distortion and noise characteristics are improved and low power consumption is realized.

**SOLUTION:** The amplifier circuit is configured by connecting two amplifiers AMP1, AMP2 in parallel, and amplified signals of the amplifiers whose gain is controlled by a gain control signal  $V_{gc}$ , a bias voltage  $V_b$ , and an offset voltage  $V_{os}$  are synthesized and outputted, then a dynamic range of the amplifiers AMP1, AMP2 so as to reduce distortion in the signal and to enhance the noise characteristic. It is not required to take the dynamic range of each amplifier into account in the circuit design and then the circuit design is facilitated. Furthermore, Since the amplifier circuit of the parallel configuration needs no DC separation capacitor, the reduction in the power consumption is realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) IntCl.<sup>7</sup>

H03G 3/10

識別記号

F I

H03G 3/10

キーワード(参考)

B 5 J 0 4 0

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平10-180275

(22) 出願日 平成10年6月26日 (1998.6.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西山 清一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5J040 AA14 AA15 BA05 BB01 BB07

BCD4 BC08 CA01 CA05 DA07

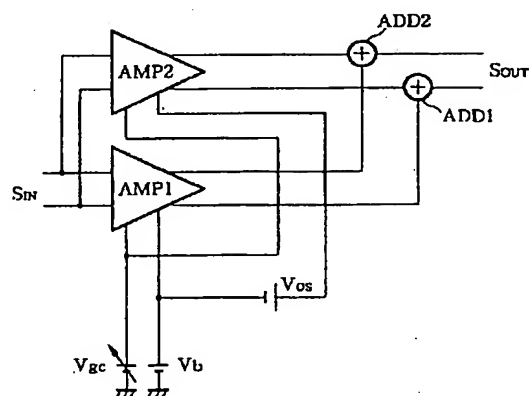
EA02 FA02 FA03 FA04

(54) 【発明の名称】 増幅回路

(57) 【要約】

【課題】 ダイナミックレンジが広く取れ、歪み特性およびノイズ特性を改善でき、低消費電力化を実現できる増幅回路を提供する。

【解決手段】 二つの増幅器AMP1とAMP2を並列に接続して増幅回路を構成し、利得制御信号 $V_{gc}$ 、バイアス電圧 $V_b$  およびオフセット電圧 $V_{os}$ により利得が制御された各増幅器の増幅信号を合成して出力するので、増幅回路のダイナミックレンジを各増幅器AMP1、AMP2のダイナミックレンジに応じて広く設定でき、信号の歪みを低減でき、ノイズ特性を改善できる。回路設計において各増幅器のダイナミックレンジを交互に考慮する必要がなく、回路設計が容易に行える。また、並列構成の増幅回路において、直流分離用キャパシタを必要としないため、消費電力の低減を実現できる。



## 【特許請求の範囲】

【請求項 1】 所望の利得に応じて設定された電圧レベルを持つ利得制御信号を発生する利得制御信号発生回路と、

共通の入力信号を受けて、上記利得制御信号に応じて制御された利得で上記入力信号をそれぞれ独立に増幅し、増幅信号を出力する少なくとも二つの増幅器と、  
上記各増幅器により増幅された信号を加えた信号を出力する加算回路とを有する増幅回路。

【請求項 2】 上記各増幅器は、上記利得制御信号に応じてそれぞれの負荷抵抗が制御され、負荷抵抗に応じて利得が制御される請求項 1 記載の増幅回路。

【請求項 3】 利得制御信号に応じて、第 1 の負荷抵抗または第 2 の負荷抵抗の何れかが接続され、接続されている負荷抵抗に応じた利得を有する第 1 の増幅器と、  
上記利得制御信号に応じて、上記第 2 の負荷抵抗または第 3 の負荷抵抗の何れかが接続され、接続されている負荷抵抗に応じた利得を有する第 2 の増幅器とを有し、  
上記第 1 の増幅器に接続されている上記第 2 の負荷抵抗により増幅信号が取り出して出力される増幅回路。

【請求項 4】 ベースに入力信号が印加され、エミッタに第 1 のエミッタ抵抗が接続され、コレクタに第 1 または第 2 の負荷抵抗の何れかを利得制御信号に応じて選択する第 1 の選択回路が接続されている第 1 のトランジスタからなる第 1 の増幅器と、  
ベースに上記入力信号が印加され、エミッタに第 2 のエミッタ抵抗が接続され、コレクタに上記第 2 または第 3 の負荷抵抗の何れかを上記利得制御信号に応じて選択する第 2 の選択回路が接続されている第 2 のトランジスタからなる第 2 の増幅器とを有し、  
上記第 2 の負荷抵抗により増幅信号を取り出して出力する増幅回路。

【請求項 5】 上記第 1 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 1 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 1 のトランジスタのコレクタに接続されている第 1 の選択用トランジスタと、  
ベースに第 1 のバイアス電圧が印加され、コレクタが第 2 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 1 のトランジスタのコレクタに接続されている第 2 の選択用トランジスタと、  
上記第 1 と第 2 の選択用トランジスタのコレクタ間に接続されている第 3 のコレクタ抵抗とを有する請求項 4 記載の増幅回路。

【請求項 6】 上記第 2 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 2 のトランジスタのコレクタに接続されている第 3 の選択用トランジスタと、  
ベースに第 2 のバイアス電圧が印加され、コレクタが第 4 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 2 のトランジスタのコレクタに接続されている第 4 の選択用トランジスタとを有する請求項 5 記載の増幅回路。

タが上記第 2 のトランジスタのコレクタに接続されている第 4 の選択用トランジスタとを有する請求項 5 記載の増幅回路。

【請求項 7】 上記第 2 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 2 のトランジスタのコレクタに接続されている第 3 の選択用トランジスタと、  
ベースに第 2 のバイアス電圧が印加され、コレクタが電源電圧に接続され、エミッタが上記第 2 のトランジスタのコレクタに接続されている第 4 の選択用トランジスタとを有する請求項 5 記載の増幅回路。

【請求項 8】 ベースに入力信号が印加され、エミッタに第 1 のエミッタ抵抗が接続され、コレクタに第 1 または第 2 の負荷抵抗の何れかを利得制御信号に応じて選択する第 1 の選択回路が接続されている第 1 のトランジスタからなる第 1 の増幅器と、  
ベースに上記入力信号が印加され、エミッタに第 2 のエミッタ抵抗が接続され、コレクタに第 3 または第 4 の負荷抵抗の何れかを上記利得制御信号に応じて選択する第 2 の選択回路が接続されている第 2 のトランジスタからなる第 2 の増幅器を一段または複数段有し、  
上記第 1 の増幅器の上記第 1 の負荷抵抗と上記第 2 の増幅器の上記第 3 の負荷抵抗との間に、第 1 の接続用抵抗素子が接続され、  
上記第 2 の増幅器を複数段有するとき、各段の増幅器の上記第 3 の負荷抵抗間にそれぞれ第 2 の接続用抵抗素子が接続されている増幅回路。

【請求項 9】 上記第 1 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 1 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 1 のトランジスタのコレクタに接続されている第 1 の選択用トランジスタと、  
ベースに第 1 のバイアス電圧が印加され、コレクタが第 2 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 1 のトランジスタのコレクタに接続されている第 2 の選択用トランジスタと、  
上記第 1 と第 2 の選択用トランジスタのコレクタ間に接続されている第 3 のコレクタ抵抗とを有する請求項 8 記載の増幅回路。

【請求項 10】 上記第 2 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 4 のコレクタ抵抗を介して電源電圧に接続され、さらに上記第 1 の接続用抵抗素子を介して、上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 2 のトランジスタのコレクタに接続されている第 3 の選択用トランジスタと、  
ベースに第 2 のバイアス電圧が印加され、コレクタが第 5 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 2 のトランジスタのコレクタに接続されている第 4 の選択用トランジスタとを有する請求項 9 記載の増幅回路。

【請求項 11】 上記第 3 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 5 のコレクタ抵抗を介して電源電圧に接続され、さらに上記第 1 の接続用抵抗素子を介して、上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 3 のトランジスタのコレクタに接続されている第 4 の選択用トランジスタと、  
ベースに第 3 のバイアス電圧が印加され、コレクタが第 6 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 3 のトランジスタのコレクタに接続されている第 5 の選択用トランジスタとを有する請求項 10 記載の増幅回路。

【請求項 12】 上記第 4 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 6 のコレクタ抵抗を介して電源電圧に接続され、さらに上記第 1 の接続用抵抗素子を介して、上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 4 のトランジスタのコレクタに接続されている第 5 の選択用トランジスタと、  
ベースに第 4 のバイアス電圧が印加され、コレクタが第 7 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 4 のトランジスタのコレクタに接続されている第 6 の選択用トランジスタとを有する請求項 11 記載の増幅回路。

【請求項 13】 上記第 5 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 7 のコレクタ抵抗を介して電源電圧に接続され、さらに上記第 1 の接続用抵抗素子を介して、上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 5 のトランジスタのコレクタに接続されている第 6 の選択用トランジスタと、  
ベースに第 5 のバイアス電圧が印加され、コレクタが第 8 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 5 のトランジスタのコレクタに接続されている第 7 の選択用トランジスタとを有する請求項 12 記載の増幅回路。

【請求項 14】 上記第 6 の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第 8 のコレクタ抵抗を介して電源電圧に接続され、さらに上記第 1 の接続用抵抗素子を介して、上記第 1 の選択回路を構成する上記第 1 の選択用トランジスタのコレクタに接続され、エミッタが上記第 6 のトランジスタのコレクタに接続されている第 7 の選択用トランジスタと、  
ベースに第 6 のバイアス電圧が印加され、コレクタが第 9 のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第 6 のトランジスタのコレクタに接続されている第 8 の選択用トランジスタとを有する請求項 13 記載の増幅回路。

増幅回路。

【請求項11】上記第2の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第4のコレクタ抵抗を介して電源電圧に接続され、さらに上記第2の接続用抵抗素子を介して、他の第2の増幅回路における第2の選択回路を構成する上記第3の選択用トランジスタのコレクタに接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第3の選択用トランジスタと、

ベースに第2のバイアス電圧が印加され、コレクタが第5のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第4の選択用トランジスタとを有する請求項10記載の増幅回路。

【請求項12】上記第2の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第4のコレクタ抵抗を介して電源電圧に接続され、さらに上記第1の接続用抵抗素子を介して、上記第1の選択回路を構成する上記第1の選択用トランジスタのコレクタに接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第3の選択用トランジスタと、

ベースに上記利得制御信号が印加され、コレクタが上記電源電圧に接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第4の選択用トランジスタとを有する請求項9記載の増幅回路。

【請求項13】上記第2の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第4のコレクタ抵抗を介して電源電圧に接続され、さらに上記第2の接続用抵抗素子を介して、他の第2の増幅回路における第2の選択回路を構成する上記第3の選択用トランジスタのコレクタに接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第3の選択用トランジスタと、

ベースに上記利得制御信号が印加され、コレクタが上記電源電圧に接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第4の選択用トランジスタとを有する請求項12記載の増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ノイズ特性が改善でき、高利得および広いダイナミックレンジを実現できる増幅回路に関するものである。

【0002】

【従来の技術】従来では、高利得の自動利得制御増幅回路（AGC回路）は、複数段の増幅器を直列に接続して構成される直列型増幅回路がほとんどである。図12は、その一例として、2段の増幅器で構成された直列型増幅回路を示している。より高い利得が必要なとき、さらに直列に接続されている増幅器の段数を増やして、例えば、3段または4段の増幅回路を構成することができ

る。

【0003】図示のように、本例の増幅回路は直列に接続されている増幅器AMP1、AMP2により構成されている。なお、ここで、増幅器AMP1およびAMP2は、ともに差動増幅回路であり、差動入力信号 $S_{IN}$ は、初段の増幅器AMP1に入力され、その差動出力信号は、キャパシタC1、C2を介して2段目の増幅器AMP2に入力される。増幅器AMP2によりさらに増幅された差動信号 $S_{OUT}$ が出力される。

【0004】図示のように、増幅器AMP1、AMP2の利得を制御する利得制御電圧 $V_{gc}$ が増幅器AMP1、AMP2にそれぞれ供給される。増幅器AMP1にバイアス電圧 $V_b$ が入力され、増幅器AMP2にバイアス電圧 $(V_b + V_{OS})$ が入力される。差動入力信号 $S_{IN}$ の一方の信号 $S_{IN1}$ は入力端子 $T_{IN1}$ に入力され、キャパシタ $C_{IN1}$ を介してトランジスタQ4のベースに印加される。差動入力信号 $S_{IN}$ の他方の信号 $S_{IN2}$ は、入力端子 $T_{IN2}$ に入力され、キャパシタ $C_{IN2}$ を介してトランジスタQ1のベースに印加される。トランジスタQ1のエミッタは抵抗素子 $R_{in1}$ を介して接地され、コレクタはトランジスタQ2とQ3のエミッタに接続されている。トランジスタQ4のエミッタは抵抗素子 $R_{in2}$ を介して接地され、コレクタはトランジスタQ5とQ6のエミッタに接続されている。トランジスタQ2とQ6のベースに利得制御電圧 $V_{gc}$ が印加され、トランジスタQ3とQ5のベースにバイアス電圧 $V_b$ が印加される。

【0005】図13は、図12に示す増幅回路を構成する増幅器AMP1またはAMP2の構成を示している。各増幅器の利得は、例えば、利得制御電圧 $V_{gc}$ およびバイアス電圧により制御される。図12に示す増幅回路において、増幅器AMP1のバイアス電圧は $V_b$ であり、増幅器AMP2のバイアス電圧 $V_{b1}$ は $(V_b + V_{OS})$ である。

【0006】バイアス電圧 $V_b$ に対して利得制御電圧 $V_{gc}$ を適切に設定することにより、トランジスタQ2、Q3、Q5およびQ6のオン/オフ状態を制御することができ、これに応じて増幅器の利得が制御される。

【0007】ここで、トランジスタQ2、Q3、Q5およびQ6の導通時の抵抗（オン抵抗）が小さく、無視できるものと仮定する。まず、利得制御電圧 $V_{gc}$ がバイアス電圧 $V_b$ より低いとき、トランジスタQ2とQ6がオフ、トランジスタQ3とQ5がオンとなる。トランジスタQ1のコレクタに接続されている負荷抵抗は、抵抗素子 $R_3$ と直列接続した抵抗素子 $R_1$ 、 $R_2$ との並列抵抗である。同様に、トランジスタQ4に接続されている負荷抵抗は、抵抗素子 $R_6$ と直列接続した抵抗素子 $R_4$ 、 $R_5$ との並列抵抗である。上述した条件において、トランジスタQ1とQ4のコレクタに接続されている負荷抵抗 $r_{L1}$ は、次式により表される。

【0008】

【数1】

$$r_{L1} = r_3 (r_1 + r_2) / (r_1 + r_2 + r_3) \quad \dots (1)$$

【0009】この場合に、増幅器の出力端子 $T_{O1}$ および $T_{O2}$ に出力された信号電圧は、それぞれ抵抗素子 $R_1$ と $R_2$ および $R_4$ と $R_5$ で分圧した分圧電圧である。トランジスタ $Q_1$ および $Q_4$ のエミッタに接続されている抵

\* 抗素子 $R_{in1}$  および $R_{in2}$  の抵抗値をとともに $r_{in}$ とすると、増幅器の利得 $G_1$  は、次式により表される。

【0010】

【数2】

$$G_1 = r_3 (r_1 + r_2) / (r_{in} (r_1 + r_2 + r_3)) \cdot r_1 / (r_1 + r_2) \\ = r_1 \cdot r_3 / (r_{in} (r_1 + r_2 + r_3)) \quad \dots (2)$$

【0011】次に、利得制御電圧 $V_{gc}$ がバイアス電圧 $V_b$ より高いとき、トランジスタ $Q_2$ と $Q_6$ がオン、トランジスタ $Q_3$ と $Q_5$ がオフとなる。この場合は、トランジスタ $Q_1$ のコレクタに接続されている負荷は、抵抗素子 $R_1$ と直列接続した抵抗素子 $R_2$ 、 $R_3$ との並列抵抗である。同様に、トランジスタ $Q_4$ のコレクタに接続されている負荷は、抵抗素子 $R_4$ と直列接続した抵抗素子 $R_5$ 、 $R_6$ との並列抵抗である。ここで、抵抗素子 $R$  ※

10※1、 $R_4$ の抵抗値がともに $r_1$ とし、抵抗素子 $R_2$ 、 $R_5$ の抵抗値がともに $r_2$ とし、抵抗素子 $R_3$ と $R_6$ の抵抗値がともに $r_3$ とすると、上記トランジスタ $Q_1$ と $Q_4$ のコレクタに接続されている負荷抵抗 $r_{L2}$ は、次式により表される。

【0012】

【数3】

$$r_{L2} = r_1 (r_2 + r_3) / (r_1 + r_2 + r_3) \quad \dots (3)$$

【0013】さらに、トランジスタ $Q_1$ および $Q_4$ のエミッタに接続されている抵抗素子 $R_{in1}$  および $R_{in2}$  の抵抗値は、ともに $r_{in}$ とすると、増幅器の利得 $G_2$  は、★

★次式により表される。

【0014】

【数4】

$$G_2 = r_1 (r_2 + r_3) / (r_{in} (r_1 + r_2 + r_3)) \quad \dots (4)$$

【0015】式(1)に示す利得 $G_1$  は、増幅器の最小利得 $G_{min}$  であり、式(4)に示す利得 $G_2$  は、増幅器の最大利得 $G_{max}$  である。ここで、( $r_1 = r_2$ )、且つ( $r_3 \ll r_1 = r_2$ )とすると、図13に示す一段☆

☆の増幅器の最大および最小利得は、それぞれ次式により近似的に表示できる。

【0016】

【数5】

$$G_{min} = r_3 / 2 r_{in} \\ G_{max} = r_1 / 2 r_{in}$$

... (5)

【0017】図13に示す利得制御電圧 $V_{gc}$ を線型に制御することにより、増幅器の利得を $G_{min}$  から $G_{max}$  へと可変に設定することができる。さらに、トランジスタ $Q_2$ 、 $Q_3$ 、 $Q_5$ および $Q_6$ のベース-エミッタ間の $p-n$ 接合の非線型領域を利用することで、対数( $LOG$ )特性を持つ増幅器を実現できる。

【0018】図13に示す増幅器を2段直列に接続して、さらに各段の増幅器の最小利得 $G_{min}$  と最大利得 $G_{max}$  の間の直線性の良い領域を利用することによって、利得の変化範囲が大きい増幅回路を構成することができる。図14は2段の増幅器から構成されている増幅回路の一構成例を示す回路図である。なお、図13に示す増幅器は、差動形式で回路を構成しているが、図14ではシングルエンド形式の増幅器を示している。シングルエ

◆ンド形式の増幅器における利得制御の原理は、差動形式の回路とほぼ同じである。

【0019】以下、図14を参照しつつ、増幅回路の動作について説明する。入力信号 $S_{in}$ はキャパシタ $C_{in}$ を介して初段の増幅器のトランジスタ $Q_{21}$ のベースに印加される。初段の増幅器において、抵抗素子 $R_{21}$ と抵抗素子 $R_{22}$ の抵抗値をとともに $r_{21}$ とし、抵抗素子 $R_{23}$ の抵抗値を $r_{23}$ とし、抵抗素子 $R_{in2}$  の抵抗値を $r_{in2}$  とする。さらに、( $r_{23} \ll r_{21} = r_{22}$ )とすると、その最小利得 $G_{min2}$ および最大利得 $G_{max2}$ は、次式により表される。

【0020】

【数6】

$$G_{min2} = r_{23} / 2 r_{in2} \\ G_{max2} = r_{21} / 2 r_{in2}$$

... (6)

【0021】初段の増幅器の出力信号は、トランジスタ $Q_{100}$ と電流源 $I_{S1}$ からなるエミッタフォロワを介して出力され、さらに、キャパシタ $C_1$ を介して後段の

増幅器のトランジスタ $Q_1$ のベースに印加される。後段の増幅器において、抵抗素子 $R_1$ と抵抗素子 $R_2$ の抵抗値をとともに $r_1$ とし、抵抗素子 $R_3$ の抵抗値を $r_3$ と

し、抵抗素子 $R_{in1}$ の抵抗値 $r_{in1}$ とする。さらに、 $(r_3 < r_1 = r_2)$ とすると、その最小利得 $G_{min1}$ および最大利得 $G_{max1}$ は、それぞれ次式により表され \*

$$G_{min1} = r_3 / 2 r_{in1}$$

$$G_{max1} = r_1 / 2 r_{in1}$$

【0023】ここで、抵抗素子 $R_{21}$ 、 $R_{22}$ 、 $R_3$ および $R_{in1}$ 、 $R_{in2}$ の抵抗値を適切に設定することによって、 $(G_{max2} = G_{min1})$ に設定できる。このため、図14の2段の直列型増幅回路の利得制御特性は、図15 10に示すようになる。なお、図15における利得は、デシ※

$$G_{MIN} = 20 \log G_{min2} = 20 \log (r_{23} / 2 r_{in2}) \text{ [dB]}$$

$$G_{CENT} = 20 \log G_{min1} = 20 \log G_{max2}$$

$$= 20 \log (r_3 / 2 r_{in1}) \text{ [dB]}$$

$$G_{MAX} = 20 \log G_{max1} = 20 \log (r_1 / 2 r_{in1}) \text{ [dB]}$$

... (7)

※ベル (dB) 表示である。即ち、図15に示す増幅回路の最小利得 $G_{MIN}$ 、最大利得 $G_{MAX}$ および中間利得 $G_{CENT}$ は、それぞれ次式により与えられる。

【0024】

【数8】

... (8)

【0025】以上説明したように、2段の増幅器を直列に接続して構成された増幅回路において、各増幅器の利得を適切に設定することによって、一段の増幅器より利得の制御特性が広がった増幅回路を構成することができる。

【0026】

【発明が解決しようとする課題】ところで、上述した従来の増幅回路は、2段またはそれ以上の増幅器を直列に接続して構成されるので、最適なノイズ特性および歪み特性を有する増幅回路を設計する場合に、1段あたりの増幅器の入力ダイナミックレンジおよび出力ダイナミックレンジはもとより次段の増幅器の出力ダイナミックレンジを考える必要があるため、設計上の自由度が少なく、回路設計に工夫が必要であり、最適な設計を得るためには多大な時間と労力を要することがある。図14の増幅回路は低電圧集積回路 (IC) により実現する場合に、前段の出力ダイナミックレンジと後段の入力ダイナミックレンジを考慮する必要がある。また、前段と後段の直流カットのために、キャパシタ $C_1$ が用いられている。エミッタフォロウの出力でキャパシタ $C_1$ を駆動するので、消費電力が増大する。さらに、多段接続によって増幅回路全体のノイズ特性が悪化し、低消費電力化には限界が生じてしまうという不利益がある。

【0027】本発明は、かかる事情に鑑みてなされたものであり、その目的は、2段またはそれ以上の複数段の増幅器を並列に接続して増幅回路を構成することによって、歪み特性およびノイズ特性を改善でき、低消費電力化を実現できる増幅回路を提供することにある。

【0028】

【課題を解決するための手段】上記目的を達成するため、本発明の増幅回路は、所望の利得に応じて設定された電圧レベルを持つ利得制御信号を発生する利得制御信号発生回路と、共通の入力信号を受けて、上記利得制御信号に応じて制御された利得で上記入力信号をそれぞれ

\*る。

【0022】

【数7】

独立に増幅し、増幅信号を出力する少なくとも二つの増幅器と、上記各増幅器により増幅された信号を加えた信号を出力する加算回路とを有する。

【0029】また、本発明の増幅回路は、利得制御信号に応じて、第1の負荷抵抗または第2の負荷抵抗の何れかが接続され、接続されている負荷抵抗に応じた利得を有する第1の増幅器と、上記利得制御信号に応じて、上記第2の負荷抵抗または第3の負荷抵抗の何れかが接続され、接続されている負荷抵抗に応じた利得を有する第2の増幅器とを有し、上記第1の増幅器に接続されている上記第2の負荷抵抗により増幅信号を取り出して出力する。

【0030】また、本発明の増幅回路は、ベースに入力信号が印加され、エミッタに第1のエミッタ抵抗が接続され、コレクタに第1または第2の負荷抵抗の何れかを利得制御信号に応じて選択する第1の選択回路が接続されている第1のトランジスタからなる第1の増幅器と、ベースに上記入力信号が印加され、エミッタに第2のエミッタ抵抗が接続され、コレクタに上記第2または第3の負荷抵抗の何れかを上記利得制御信号に応じて選択する第2の選択回路が接続されている第2のトランジスタからなる第2の増幅器とを有し、上記第2の負荷抵抗により増幅信号が取り出して出力される。

【0031】また、本発明の増幅回路は、ベースに入力信号が印加され、エミッタに第1のエミッタ抵抗が接続され、コレクタに第1または第2の負荷抵抗の何れかを利得制御信号に応じて選択する第1の選択回路が接続されている第1のトランジスタからなる第1の増幅器と、ベースに上記入力信号が印加され、エミッタに第2のエミッタ抵抗が接続され、コレクタに第3または第4の負荷抵抗の何れかを上記利得制御信号に応じて選択する第2の選択回路が接続されている第2のトランジスタからなる第2の増幅器を一段または複数段有し、上記第1の増幅器の上記第1の負荷抵抗と上記第2の増幅器の上記

30

40

50

9

第3の負荷抵抗との間に、第2の接続用抵抗素子が接続され、上記第2の増幅器を複数段有するとき、各段の増幅器の上記第4の負荷抵抗間にそれぞれ第2の接続用抵抗素子が接続されている。

【0032】さらに、本発明では、好適には、上記第1の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第1のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第1のトランジスタのコレクタに接続されている第1の選択用トランジスタと、ベースに第1のバイアス電圧が印加され、コレクタが第2のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第1のトランジスタのコレクタに接続されている第2の選択用トランジスタと、上記第1と第2の選択用トランジスタのコレクタ間に接続されている第3のコレクタ抵抗とを有し、上記第2の選択回路は、ベースに上記利得制御信号が印加され、コレクタが第4のコレクタ抵抗を介して電源電圧に接続され、さらに上記第1の接続用抵抗素子を介して、上記第1の選択回路を構成する上記第1の選択用トランジスタのコレクタに接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第3の選択用トランジスタと、ベースに第2のバイアス電圧が印加され、コレクタが第5のコレクタ抵抗を介して電源電圧に接続され、エミッタが上記第2のトランジスタのコレクタに接続されている第4の選択用トランジスタとを有する。

【0033】本発明によれば、二つまたはそれ以上の増幅器を並列に接続して並列型増幅回路が構成される。当該増幅回路を構成する各増幅器には、共通の入力信号が入力され、各増幅器は利得制御信号により設定された利得で入力信号を増幅する。各増幅器の増幅信号が加算手段により加算され、加算信号は増幅回路の出力信号となる。利得制御信号によって各増幅器の利得が制御することによって、増幅回路全体の利得を制御できる。さらに、複数の増幅器を並列接続しているため、直列型増幅回路に比べて、ノイズ特性が改善され、各増幅器のダイナミックレンジを交互に影響しあうことなく、回路設計が容易に行える。

【0034】

【発明の実施の形態】第1実施形態

図1は本発明に係る増幅回路の第1の実施形態を示す回路図である。図示のように、本実施形態の増幅回路は、並列に接続されている二つの増幅器AMP1およびAMP2によって構成されている。差動入力信号 $S_{IN}$ は、増幅器AMP1とAMP2に並列に印加される。増幅器AMP1およびAMP2の出力信号は、加算回路ADD1およびADD2によって加算され、出力信号 $S_{OUT}$ が得られる。図1において、可変電圧 $V_{gc}$ は、増幅器AMP1およびAMP2の利得を制御するための利得制御電圧である。増幅器AMP1のバイアス電圧は $V_b$ であり、増幅器AMP2のバイアス電圧は $(V_{b1}=V_b+V_{OS})$

10

である。利得制御電圧 $V_{gc}$ を制御することで、増幅回路の利得を制御できる。例えば、入力信号若しくは出力信号のレベルに応じて利得制御電圧 $V_{gc}$ のレベルを制御することで、AGC回路を構成することができる。

【0035】図2は、図1に示す増幅回路の一具体的な構成例を示している。なお、図1の増幅回路を構成する増幅器AMP1およびAMP2は、差動型増幅器であるが、図2では、シングルエンド型の増幅器である。これは、説明の便宜を図るため回路構成を簡略化したものであり、この簡略化によって本発明における増幅回路の構成および動作の理解には妨げない。図2に示す増幅回路は、2段の増幅器を並列に接続して構成されている。入力信号 $S_{IN}$ は、キャパシタ $C_{in}$ を介して、トランジスタ $Q_{21}$ と $Q_1$ のベースにそれぞれ入力されている。トランジスタ $Q_{21}$ および $Q_1$ のベースは、抵抗素子 $R_7$ を介して、バイアス電圧 $V_{bias}$ に接続されている。トランジスタ $Q_{21}$ のエミッタは抵抗素子 $R_{in2}$ を介して接地され、コレクタはトランジスタ $Q_{22}$ と $Q_{23}$ のエミッタに接続されている。トランジスタ $Q_{23}$ のベースにバイアス電圧 $V_b$ が印加され、トランジスタ $Q_{22}$ のベースに利得制御電圧 $V_{gc}$ が印加されている。さらにトランジスタ $Q_{22}$ のコレクタは抵抗素子 $R_1$ を介して電源電圧 $V_{CC}$ に接続され、トランジスタ $Q_{23}$ のコレクタは抵抗素子 $R_3$ を介して電源電圧 $V_{CC}$ に接続されている。トランジスタ $Q_{22}$ と $Q_{23}$ のコレクタ間に抵抗素子 $R_2$ が接続されている。

【0036】トランジスタ $Q_3$ のベースにバイアス電圧 $V_{b1}$ が印加され、トランジスタ $Q_2$ のベースに利得制御電圧 $V_{gc}$ が印加されている。トランジスタ $Q_1$ のエミッタは抵抗素子 $R_{in1}$ を介して接地され、コレクタはトランジスタ $Q_2$ と $Q_3$ のエミッタに接続されている。トランジスタ $Q_2$ のコレクタはトランジスタ $Q_{22}$ のコレクタに接続され、トランジスタ $Q_3$ のコレクタは電源電圧 $V_{CC}$ に接続されている。なお、図2の回路図では、トランジスタ $Q_3$ のコレクタは直接電源電圧 $V_{CC}$ に接続されているが、抵抗素子を介して電源電圧 $V_{CC}$ に接続する構成にしてもよい。

【0037】トランジスタ $Q_{21}$ 、 $Q_{22}$ 、 $Q_{23}$ および抵抗素子 $R_1$ 、 $R_2$ 、 $R_3$ 、 $R_{in2}$ により構成された増幅器は、図1に示す増幅器AMP1に相当する。トランジスタ $Q_1$ 、 $Q_2$ 、 $Q_3$ および抵抗素子 $R_{in1}$ により構成された増幅器は、図1に示す増幅器AMP2に相当する。ただし、図2に示す増幅回路において、増幅器AMP1とAMP2は、同じ負荷抵抗 $R_1$ 、 $R_2$ および $R_3$ を共用する。このため、入力信号 $S_{IN}$ に応じて各増幅器AMP1、AMP2により発生された増幅電流が共有する負荷抵抗に電圧降下を生じるので、図1に示す二つの増幅器AMP1、AMP2の出力信号を加算する加算回路ADD1およびADD2が省略され、これら加算回路の加算機能が負荷抵抗により実現される。



【0038】上述した増幅回路において、バイアス電圧  $V_b$ 、オフセット電圧  $V_{os}$  および利得制御電圧  $V_{gc}$  を制御することによって、トランジスタ  $Q_2$ 、 $Q_3$ 、 $Q_{22}$  および  $Q_{23}$  のオン/オフを制御し、増幅回路全体の利得を制御することができる。なお、ここで、トランジスタ  $Q_2$ 、 $Q_3$ 、 $Q_{22}$  および  $Q_{23}$  のオン抵抗は小さく、無視できるものと仮定する。まず、利得制御電圧  $V_{gc}$  が ( $V_{gc} < V_b$ ) に制御されると、増幅器AMP1において、トランジスタ  $Q_{22}$  がオフ、トランジスタ  $Q_2$  がオンする。なお、このとき、増幅器AMP2においてトランジスタ  $Q_2$  がオフ、トランジスタ  $Q_3$  がオンする。この場合に、増幅器AMP2は増幅回路全体の利得に貢献せず、増幅回路の利得は増幅器AMP1の利得に\*

$$G_{11} = r_3 (r_1 + r_2) / (r_{in2} (r_1 + r_2 + r_3)) \cdot r_1 / (r_1 + r_2) \\ = r_1 \cdot r_3 / (r_{in2} (r_1 + r_2 + r_3)) \quad \dots (9)$$

【0041】次に、利得制御電圧  $V_{gc}$  が ( $V_b < V_{gc} < (V_b + V_{os})$ ) を満たしているとき、増幅器AMP1において、トランジスタ  $Q_{22}$  がオン、トランジスタ  $Q_{23}$  がオフする。一方、増幅器AMP2において、上述した場合と同様に、トランジスタ  $Q_2$  がオフ、トランジスタ  $Q_3$  がオンする。この場合に、増幅器AMP2は増幅回路全体の利得に貢献せず、増幅回路の利得は増幅器\*

$$G_{12} = r_1 (r_2 + r_3) / (r_{in2} (r_1 + r_2 + r_3)) \quad \dots (10)$$

【0044】次に、利得制御電圧  $V_{gc}$  が ( $V_{gc} > (V_b + V_{os})$ ) のとき、増幅器AMP1の利得は、式(10)に示す利得  $G_{12}$  となる。このとき、増幅器AMP2においてトランジスタ  $Q_2$  がオン、トランジスタ  $Q_3$  がオフするので、増幅器AMP2は、増幅回路の利得に貢献する。この場合に、トランジスタ  $Q_1$  の負荷抵抗は、★

$$G_{21} = r_1 (r_2 + r_3) / (r_{in1} (r_1 + r_2 + r_3)) \quad \dots (11)$$

【0046】並列に接続されている2段の増幅器AMP1、AMP2により構成された増幅回路の全体の利得は、各々の増幅器の利得の合計値 ( $G_{12} + G_{21}$ ) となる。

【0047】上述したように、本実施形態の増幅回路では、バイアス電圧  $V_b$ 、オフセット電圧  $V_{os}$  および利得制御電圧  $V_{gc}$  を制御することによって、トランジスタ  $Q_{22}$ 、 $Q_{23}$ 、 $Q_2$ 、 $Q_3$  のオン/オフ状態を制御し、これに応じて増幅回路全体の利得を制御することができる。例えば、利得制御電圧  $V_{gc}$  が ( $V_{gc} < V_b$ ) を満たしているとき、増幅器AMP2は増幅回路の利得に貢献せず、増幅回路の利得は増幅器AMP1の利得  $G_{11}$  に等しい。増幅器AMP1において、トランジスタ  $Q_{22}$  がオフ、トランジスタ  $Q_{23}$  がオンするので、出力信号  $S_{OUT}$  は抵抗素子  $R_1$  と  $R_2$  の分圧信号となり、増幅器AMP1の利得は式(9)に示す  $G_{11}$  となる。即ち、この状態における増幅回路の利得はもっとも小さい。この最

\*等しい。

【0039】増幅器AMP1において、トランジスタ  $Q_{21}$  の負荷抵抗は、直列に接続した抵抗素子  $R_1$ 、 $R_2$  と抵抗素子  $R_3$  の並列抵抗となる。さらに、出力信号  $S_{OUT}$  は、抵抗素子  $R_1$  と  $R_2$  の分圧信号となる。ここで、抵抗素子  $R_1$  の抵抗値を  $r_1$  とし、 $R_2$  の抵抗値を  $r_2$  とし、抵抗素子  $R_3$  の抵抗値を  $r_3$  とし、抵抗素子  $R_{in2}$  の抵抗値を  $r_{in2}$  とすると、トランジスタ  $Q_{21}$  などからなる増幅器AMP1の利得  $G_{11}$  は、次式により表される。

【0040】  
【数9】

※AMP1の利得に等しい。

【0042】この場合、トランジスタ  $Q_{21}$  の負荷抵抗は、抵抗素子  $R_1$  と直列に接続した抵抗素子  $R_2$ 、 $R_3$  の並列抵抗である。これに応じて、増幅器AMP1の利得  $G_{12}$  は、次式により求まる。

【0043】  
【数10】

★トランジスタ  $Q_{21}$  の負荷抵抗と同じく、抵抗素子  $R_1$  と直列に接続した抵抗素子  $R_2$ 、 $R_3$  の並列抵抗である。抵抗素子  $R_{in1}$  の抵抗値を  $r_{in1}$  とすると、増幅器AMP2の利得  $G_{21}$  は、次式により求まる。

【0045】  
【数11】

小利得を  $G_{MIN}$  とすると、( $G_{MIN} = G_{11}$ ) である。

【0048】利得制御電圧  $V_{gc}$  が ( $V_{gc} > (V_b + V_{os})$ ) を満たしているとき、トランジスタ  $Q_{22}$  と  $Q_{23}$  がオンし、トランジスタ  $Q_2$  と  $Q_3$  がオフする。増幅回路の利得は二つの増幅器AMP1とAMP2との利得の合計となる。この場合に、増幅回路の利得はもっとも大きい。この最大利得を  $G_{MAX}$  とすると、 $G_{MAX} = (G_{12} + G_{21})$  となる。

【0049】なお、利得制御電圧  $V_{gc}$  が ( $V_b < V_{gc} < (V_b + V_{os})$ ) を満たしているとき、増幅回路の利得は、上述した最大利得  $G_{MAX}$  と最小利得  $G_{MIN}$  との間にある。このときの利得を  $G_{CENT}$  とすると、( $G_{CENT} = G_{12}$ ) となる。

【0050】図3は、本実施形態の増幅回路の利得制御特性を示している。なお、図3において、抵抗素子  $R_1$  の抵抗値  $r_1$  と抵抗素子  $R_2$  の抵抗値  $r_2$  が等しく、即ち、( $r_1 = r_2$ ) とし、さらに抵抗素子  $R_3$  の抵抗値



13

$r_3$ は、( $r_3 < r_1 = r_2$ )とする。また、図3における増幅回路の利得は、dB表示である。即ち、増幅回路の最小利得 $G_{MIN}$ 、中間利得 $G_{CENT}$ および最大利得\*

$$\begin{aligned} G_{MIN} &= 20 \log (G_{11}) \\ &= 20 \log (r_3 / 2 r_{in2}) \quad [\text{dB}] \\ G_{CENT} &= 20 \log (G_{12}) \\ &= 20 \log (r_1 / 2 r_{in2}) \quad [\text{dB}] \\ G_{MAX} &= 20 \log (G_{12} + G_{21}) \\ &= 20 \log (r_1 (1 / 2 r_{in2} + 1 / 2 r_{in1})) \quad [\text{dB}] \end{aligned}$$

... (12)

【0052】以上説明したように、本実施形態によれば、二つの増幅器AMP1とAMP2を並列に接続して増幅回路を構成し、増幅回路のダイナミックレンジを各増幅器AMP1、AMP2のダイナミックレンジに応じて広く設定でき、信号の歪みが少なく、ノイズ特性の改善が実現できる。さらに、回路設計において各増幅器のダイナミックレンジを交互に考慮する必要がなく、回路設計が容易に行える。また、並列構成の増幅回路において、直流分離のためのキャパシタを必要としないため、消費電力の低減を実現できる。

#### 【0053】第2実施形態

図4は本発明に係る増幅回路の第2の実施形態を示す回路図である。図示のように、本実施形態の増幅回路は、4つの増幅器AMP4、AMP3、AMP2およびAMP1が並列に接続して構成されている。

【0054】増幅器AMP4は、トランジスタQ41、Q42、Q43と抵抗素子 $R_{in4}$ 、R41、R42、R5により構成されている。入力信号 $S_{IN}$ は、キャパシタ $C_{in}$ を介して、トランジスタQ41のベースに印加される。トランジスタQ41のエミッタは抵抗素子 $R_{in4}$ を介して接地され、コレクタはトランジスタQ42とQ43のエミッタに接続されている。トランジスタQ42とQ43のエミッタ同士が接続され、トランジスタQ43のベースにバイアス電圧 $V_b$ が印加され、トランジスタQ42のベースに利得制御電圧 $V_{gc}$ が印加されている。トランジスタQ43のコレクタは、抵抗素子R5を介して電源電圧 $V_{CC}$ に接続され、トランジスタQ42のコレクタは、抵抗素子R42を介して電源電圧 $V_{CC}$ に接続されている。トランジスタQ42とQ43のコレクタ間に抵抗素子R41が接続されている。

【0055】上述した構成を有する増幅器AMP4において、トランジスタQ41の負荷抵抗は、抵抗素子R41、R42およびR5により構成されている。バイアス電圧 $V_b$ に対して利得制御電圧 $V_{gc}$ を制御することにより、トランジスタQ42とQ43のオン/オフ状態が制御される。これに応じてトランジスタQ41の負荷抵抗が制御され、増幅器AMP4の利得が制御される。例えば、( $V_{gc} < V_b$ )のとき、トランジスタQ42がオフ、Q43がオンする。ここで、トランジスタQ43のオン抵抗を無視できるとすると、トランジスタQ41の

14

\* $G_{MAX}$ は、それぞれにより表される。

【0051】

【数12】

負荷抵抗は、トランジスタQ43のコレクタに接続されている抵抗となる。一方、( $V_{gc} > V_b$ )のとき、トランジスタQ42がオン、Q43がオフする。ここで、トランジスタQ42のオン抵抗を無視できるとすると、トランジスタQ41の負荷抵抗は、トランジスタQ42のコレクタに接続されている抵抗となる。

【0056】増幅器AMP3は、トランジスタQ31、Q32、Q33および抵抗素子 $R_{in3}$ 、R31、R32により構成されている。トランジスタQ31のベースは、トランジスタQ41のベースに接続されているので、入力信号 $S_{IN}$ が印加される。トランジスタQ31のエミッタは抵抗素子 $R_{in3}$ を介して接地され、コレクタは、トランジスタQ32とQ33のエミッタに接続されている。トランジスタQ32とQ33のエミッタ同士が接続され、トランジスタQ33のベースにバイアス電圧 $V_b$ が印加され、トランジスタQ32のベースに利得制御電圧 $V_{gc}$ が印加される。トランジスタQ33のコレクタは、電源電圧 $V_{CC}$ に接続され、トランジスタQ32のコレクタは、抵抗素子R32を介して電源電圧 $V_{CC}$ に接続され、さらに抵抗素子R31を介して増幅器AMP4のトランジスタQ42のコレクタに接続されている。

【0057】このように構成されている増幅器AMP3において、バイアス電圧 $V_b$ に対して利得制御電圧 $V_{gc}$ を制御することにより、トランジスタQ32およびQ33のオン/オフ状態が制御され、これに応じてトランジスタQ31の負荷抵抗が制御され、増幅器AMP3の利得が制御される。例えば、( $V_{gc} > V_b$ )のとき、トランジスタQ33がオフ、トランジスタQ32がオンする。ここで、トランジスタQ32のオン抵抗を無視できるとすると、トランジスタQ31の負荷抵抗は、トランジスタQ32のコレクタに接続されている抵抗となる。このため、増幅器AMP3の利得はトランジスタQ32のコレクタに接続されている抵抗と抵抗素子 $R_{in3}$ により決まる。一方、( $V_{gc} < V_b$ )のとき、トランジスタQ33がオン、トランジスタQ32がオフする。この場合に増幅器AMP3は、増幅回路全体の利得に貢献せず、増幅回路の利得は増幅器AMP4、AMP2およびAMP1によって決まる。

【0058】増幅器AMP2および増幅器AMP1は、増幅器AMP3とほぼ同様な構成および機能を有し、増

幅器AMP 2において、( $V_{gc} > V_{b2}$ ) のとき、トランジスタQ 2 3がオン、Q 2 2がオフする。この場合に、増幅器AMP 2は増幅回路全体の利得に貢献せず、増幅回路全体の利得は、他の増幅器AMP 4、AMP 3およびAMP 1により決まる。同様に、増幅器AMP 1において、( $V_{gc} < V_{b3}$ ) トランジスタQ 3がオン、トランジスタQ 2がオフする。この場合に、増幅器AMP 1は増幅回路全体の利得に貢献せず、増幅回路全体の利得は、他の増幅器AMP 4、AMP 3およびAMP 2により決まる。なお、図4に示す増幅回路において、トランジスタQ 4 3、Q 3 3、Q 2 3およびQ 3のコレクタは直接電源電圧 $V_{CC}$ に接続されているが、本実施形態はこれに限定されるものではなく、例えば、これらのトランジスタのコレクタは、それぞれ所定の抵抗素子を介して電源電圧 $V_{CC}$ に接続する構成にしてもよい。

【0059】以下、図5～図9の等価回路を用いて、それぞれの増幅器AMP 4、AMP 3、AMP 2およびAMP 1が単独で動作するとき増幅回路の利得について説明する。なお、図4に示す増幅回路では、増幅器AMP 4を除いて、他の増幅器AMP 3、AMP 2およびAMP 1は単独で増幅回路全体の利得に貢献することなく、常に2個以上の増幅器が増幅回路の利得に貢献するので、その場合増幅回路の利得は、利得に貢献する各増幅器の利得の合計で求められる。なお、図5～図9の等価回路において、各増幅器AMP 4、AMP 3、AMP 2\*

$$G_{A40} = r / (16 r_{in4})$$

【0064】次に、増幅器AMP 4において、トランジスタQ 4 3がオフ、トランジスタQ 4 2がオンのときの等価回路は、図6に示している。図示のように、トランジスタQ 4 1のコレクタは、抵抗素子R 4 1とR 4 2と※30

$$G_{A41} = r / (8 r_{in4})$$

【0066】このように、図4に示す増幅器AMP 4において、バイアス電圧 $V_b$ に対して利得制御電圧 $V_{gc}$ を制御し、トランジスタQ 4 3とQ 4 2のオン/オフ状態を制御することにより、増幅器AMP 4の利得を制御できる。式(13)および式(14)から分かるように、増幅器AMP 4の負荷を切り換えることによって、その利得を2倍に切り換えることが可能である。

【0067】次いで、図7を参照しつつ、増幅器AMP 3の利得について考察する。なお、図7の等価回路は、★40

$$G_{A3} = r / (4 r_{in3})$$

【0069】図8は、増幅器AMP 2が単独して入力信号 $S_{IN}$ を増幅し、増幅信号 $S_{OUT}$ を出力する場合の等価回路を示している。図8において、抵抗素子 $R_{in2}$ の抵抗値を $r_{in2}$ とすると、増幅器AMP 2が単独で増幅す

$$G_{A2} = r / (2 r_{in2})$$

【0071】図9は、増幅器AMP 1が単独して入力信号 $S_{IN}$ を増幅し、増幅信号 $S_{OUT}$ を出力する場合の等価回路を示している。図9において、抵抗素子 $R_{in1}$ の抵抗値を $r_{in1}$ とすると、増幅器AMP 1が単独で増幅す

\*およびAMP 1を構成するトランジスタQ 4 3、Q 4 2、Q 3 3、Q 3 2、Q 2 3、Q 2 2、Q 3およびQ 2のオン抵抗が無視できる程度小さいものと仮定している。

【0060】図5は、増幅器AMP 4においてトランジスタQ 4 3がオン、トランジスタQ 4 2がオフ、増幅器AMP 3において、トランジスタQ 3 3がオン、トランジスタQ 3 2がオフ、増幅器AMP 2においてトランジスタQ 2 3がオン、トランジスタQ 2 2がオフ、増幅器AMP 1においてトランジスタQ 3がオン、トランジスタQ 2がオフ状態にあるとする。即ち、増幅器AMP 4以外の増幅器は増幅回路の利得に貢献しない。この場合増幅回路の利得は、増幅器AMP 4の利得 $G_{A4}$ と等しい。

【0061】図5に示すように、抵抗素子R 5、R 4 1、R 3 1、R 2 1およびR 1の抵抗値はすべて $r$ とし、抵抗素子R 4 2、R 3 2、R 2 2およびR 2の抵抗値はすべて $2r$ とする。トランジスタQ 4 1のコレクタに接続されている負荷抵抗は、上述した抵抗素子で構成されたはしご回路により構成されている。

【0062】図5に示す状態において、抵抗素子 $R_{in4}$ の抵抗値を $r_{in4}$ とすると、増幅器AMP 4の利得 $G_{A40}$ は、次式により求めることができる。

【0063】

【数13】

$$\dots (13)$$

※の接続点に接続されている。図6において、増幅器AMP 4の利得 $G_{A41}$ は次式により与えられる。

【0065】

【数14】

$$\dots (14)$$

★増幅器AMP 3以外の他の増幅器を切り離して、増幅器AMP 3が単独で入力信号 $S_{IN}$ を増幅し、増幅信号 $S_{OUT}$ を出力する場合の等価回路を示している。図7において、抵抗素子 $R_{in3}$ の抵抗値を $r_{in3}$ とすると、増幅器AMP 3が単独で増幅する場合の利得 $G_{A3}$ を次式により求められる。

【0068】

【数15】

$$\dots (15)$$

☆る場合の利得 $G_{A2}$ を次式により求められる。

【0070】

【数16】

$$\dots (16)$$

る場合の利得 $G_{A1}$ を次式により求められる。

【0072】

【数17】

17

$$= r / r_{in1}$$

【0073】以上、図5～図9に示す等価回路に基づき、図4の増幅回路を構成する増幅器AMP4、AMP3、AMP2およびAMP1の利得を式(13)～(17)を用いて示している。上述したように、図4の増幅回路において、それぞれの増幅器のバイアス電圧の設定条件に応じて、同時に二つ以上の増幅器が入力信号 $S_{IN}$ を増幅する。増幅回路の利得は当該利得に貢献する各増

$$V_b < V_{b1} < V_{b2} < V_{b3}$$

【0076】増幅器AMP3、AMP2およびAMP1において、トランジスタQ33、Q23、Q3がオン、トランジスタQ32、Q22、Q2がオフのとき、増幅器AMP3、AMP2およびAMP1は、増幅回路の利得に貢献せず、増幅回路の利得は、増幅器AMP4の利得のみで決まる。例えば、( $V_{gc} < V_b$ )のとき、増幅

$$G_0 = G_{A40} = r / (16 r_{in4})$$

【0078】次に、( $V_b < V_{gc} < V_{b1}$ )のとき、増幅器AMP4において、トランジスタQ43がオフ、Q42がオンする。増幅回路の利得 $G_1$ は、図6の等価回路に基づく増幅器AMP4の利得 $G_{A41}$ に等しく、次式に★20

$$G_1 = G_{A41} = r / (8 r_{in4})$$

【0080】次いで、( $V_{b1} < V_{gc} < V_{b2}$ )のとき、増幅器AMP3のトランジスタQ33がオフ、Q32がオンする。この場合に、入力信号 $S_{IN}$ は増幅器AMP4およびAMP3によって増幅される。即ち、増幅器AMP3は増幅回路の利得に貢献する。このため、増幅回路の☆

$$G_2 = G_{A41} + G_{A3} = r / (8 r_{in4}) + r / (4 r_{in3})$$

【0082】次いで、( $V_{b2} < V_{gc} < V_{b3}$ )のとき、増幅器AMP2のトランジスタQ23がオフ、Q22がオンする。この場合に、入力信号 $S_{IN}$ は増幅器AMP4、AMP3およびAMP2によって増幅される。即ち、増幅器AMP4、AMP3の他に、増幅器AMP2も増幅

$$G_3 = G_{A41} + G_{A3} + G_{A2}$$

$$= r / (8 r_{in4}) + r / (4 r_{in3}) + r / (2 r_{in2})$$

【0084】さらに、( $V_{gc} > V_{b3}$ )のとき、増幅器AMP1のトランジスタQ3がオン、Q2がオンする。増幅器AMP1は増幅回路の利得に貢献する。このとき、増幅回路の利得 $G_4$ は、増幅器AMP4の利得 $G_{A41}$ 、★40

$$G_4 = G_{A41} + G_{A3} + G_{A2} + G_{A1}$$

$$= r / (8 r_{in4}) + r / (4 r_{in3}) + r / (2 r_{in2}) + r$$

$$/ r_{in1}$$

【0086】図10は、上述した増幅回路の利得制御特性、即ち、利得 $G_0$ 、 $G_1$ 、 $G_2$ 、 $G_3$ 、 $G_4$ と利得制御電圧 $V_{gc}$ との関係を示す図である。図示のように、本実施形態において並列に接続されている4段の増幅器AMP4、AMP3、AMP2およびAMP1における抵抗素子 $R_{in4}$ 、 $R_{in3}$ 、 $R_{in2}$ 、 $R_{in1}$ および各増幅器

18

... (17)

\* 増幅器の利得の和によって求めることができる。

【0074】図4の増幅回路において、各増幅器AMP4、AMP3、AMP2およびAMP1のバイアス電圧 $V_b$ 、 $V_{b1}$ 、 $V_{b2}$ および $V_{b3}$ は、次式を満足すると仮定する。

【0075】

【数18】

... (18)

10増幅器AMP4においてトランジスタQ43がオン、トランジスタQ42がオフする。増幅回路の利得 $G_0$ は、図5の等価回路に基づく増幅器AMP4の利得 $G_{A40}$ に等しく、次式により表される。

【0077】

【数19】

... (19)

★より表される。

【0079】

【数20】

... (20)

☆利得 $G_2$ は、増幅器AMP4の利得 $G_{A41}$ とAMP3の利得 $G_{A3}$ との和に等しい。

【0081】

【数21】

... (21)

◆回路の利得に貢献する。このため、増幅回路の利得 $G_3$ は、増幅器AMP4の利得 $G_{A41}$ 、増幅器AMP3の利得 $G_{A3}$ と増幅器AMP2の利得 $G_{A2}$ との和に等しい。

【0083】

【数22】

... (22)

\* 増幅器AMP3の利得 $G_{A3}$ 、増幅器AMP2の利得 $G_{A2}$ と増幅器AMP1の利得 $G_{A1}$ との和に等しい。

【0085】

【数23】

... (23)

の負荷を構成する抵抗素子 $R_5$ 、 $R_{41}$ 、 $R_{42}$ 、 $R_3$ 、 $R_{32}$ 、 $R_{21}$ 、 $R_{22}$ 、 $R_1$ 、 $R_2$ の抵抗値を適切に設定し、またバイアス電圧 $V_b$ 、 $V_{b1}$ 、 $V_{b2}$ 、 $V_{b3}$ および利得制御電圧 $V_{gc}$ を制御することによって、トランジスタQ42、Q32、Q22およびQ2を順番にオンさせ、利得制御特性のリニアリティ

を実現できる。これによって、図10示す利得制御特性を実現できる。

【0087】以上説明したように、本実施形態によれば、複数の増幅器を並列に接続して並列型増幅回路を構成し、増幅回路のダイナミックレンジを各増幅回路のダイナミックレンジに応じて設定することができ、信号の歪みを抑制でき、ノイズ特性の改善を実現できる。さらに、回路設計において各増幅器のダイナミックレンジを交互に考慮する必要がなく、回路設計が容易に行える。また、増幅回路において各増幅段間の直流分離用キャパシタ（カップリングキャパシタ）が不要となるので、増幅回路全体の低消費電力化を実現できる。

$$NF_i = V_{n_i}^2 / \Delta f = 4kTR_{Li} + 2qI_{0i}R_{Li}^2$$

$$i = 1, 2 \quad \dots (24)$$

【0091】式(24)において、 $V_{n1}$ および $V_{n2}$ は雑音により増幅器AMP1およびAMP2の負荷抵抗 $R_{L1}$ 、 $R_{L2}$ に生じた電圧降下、 $I_{01}$ および $I_{02}$ は増幅器AMP1およびAMP2を構成するトランジスタのコレクタ電流、 $k$ はボルツマン定数、 $T$ は絶対温度を表す。\*

$$NF = NF_1 + (NF_2 - 1) / G_1 \quad \dots (25)$$

【0093】式(25)によれば、従来の直列接続型増幅回路の雑音指数は、ほぼ一段目の増幅器の雑音指数により決まる。これに対して、本発明の並列型増幅回路において、例えば、図2に示す2段の増幅器AMP1、AMP2により構成された増幅回路において、増幅器AMP2の負荷抵抗 $R_{L2}$ は、増幅器AMP1の負荷抵抗 $R_{L1}$ より小さいので、増幅器AMP2のトランジスタのコレクタ電流 $I_{02}$ は、増幅器AMP1のトランジスタのコレクタ電流 $I_{01}$ より大きいので、増幅器AMP2の雑音指数 $NF_2$ は、増幅器AMP1の雑音指数 $NF_1$ より小さい。並列接続型の増幅回路の雑音指数 $NF$ は、ほぼ増幅★

$$NF = NF_4 + (NF_3 - 1) / G_{A4} + (NF_2 - 1) / G_{A4} \cdot G_{A3} + (NF_1 - 1) / G_{A4} \cdot G_{A3} \cdot G_{A2} \quad \dots (26)$$

【0096】なお、式(26)における $G_{A4}$ は、増幅器AMP4の利得であり、例えば、式(14)に示す利得 $G_{A41}$ であり、 $G_{A3}$ および $G_{A2}$ は、それぞれ式(15)および式(16)に示す増幅器AMP3および増幅器AMP2の利得である。

【0097】式(26)によれば、4段の増幅器により従来の直列型増幅回路を構成する場合に、増幅回路の雑音指数はほぼ初段の増幅器AMP4の雑音指数によって決まる。これに対して、本発明においては、同じく4段の増幅器により、図4に示す並列型増幅回路を構成すると、増幅回路の雑音指数は、ほぼ末段の増幅器AMP1の雑音指数 $NF_1$ により決まる。従来の直列型増幅回路に比べて、本発明の並列型増幅回路の雑音指数が低い。即ち、本発明の増幅回路により、回路のノイズ特性が改善される。

【0098】

【発明の効果】以上説明したように、本発明の増幅回路

\*【0088】図11に示す縦列に接続されている2段の増幅器AMP1およびAMP2により構成された増幅回路を示している。以下、図11を参照しつつ、本実施形態の並列型増幅回路と従来の直列型増幅回路のノイズ特性について説明する。

【0089】ここで、増幅器AMP1、AMP2の利得はそれぞれ $G_1$ と $G_2$ とし、雑音指数はそれぞれ $NF_1$ と $NF_2$ とする。なお、ここでいう増幅器の雑音指数 $NF_1$ 、 $NF_2$ は単位周波数帯域 $\Delta f$ における増幅器の雑音の量を表す指標であり、次式により求められる。

【0090】

【数24】

※増幅器AMP1、AMP2が縦列に接続して構成されている増幅回路の雑音指数を $NF$ とすると、 $NF$ は次式により与えられる。

【0092】

【数25】

★器AMP2の雑音指数 $NF_2$ によって決まるので、本発明の並列型増幅回路の雑音指数は、従来の直列型増幅回路の雑音指数より小さく、本発明の増幅回路によって回路のノイズ特性が改善される。

【0094】なお、図4に示した4段の増幅器AMP4、AMP3、AMP2およびAMP1により構成された増幅回路については、例えば、従来の直列型構成にした場合の雑音指数 $NF_{01}$ は、次式により求められる。

【0095】

【数26】

によれば、二つまたは複数の増幅器により並列型増幅回路が構成されるので、各増幅器の入力または出力ダイナミックレンジが互いに影響しあうことを回避でき、回路の設計が容易に行える。また、直列型増幅回路を構成する各増幅器の入力側に必要なカップリングキャパシタを省略することができるため、カップリングキャパシタを駆動するための消費電力を低減でき、増幅回路の低消費電力化を実現できる。さらに、本発明の増幅回路によれば、ダイナミックレンジが広く取れ、歪み特性およびノイズ特性を改善できる利点がある。

【図面の簡単な説明】

【図1】本発明に係る増幅回路の第1の実施形態を示す回路図である。

【図2】図1に示す増幅回路の一構成例を示す回路図である。

【図3】増幅回路の利得制御特性を示す図である。

【図4】本発明に係る増幅回路の第2の実施形態を示す

21

回路図である。

【図5】図4に示す増幅回路を構成する増幅器AMP4の等価回路を示す図である。

【図6】図4に示す増幅回路を構成する増幅器AMP4の等価回路を示す図である。

【図7】図4に示す増幅回路を構成する増幅器AMP3の等価回路を示す図である。

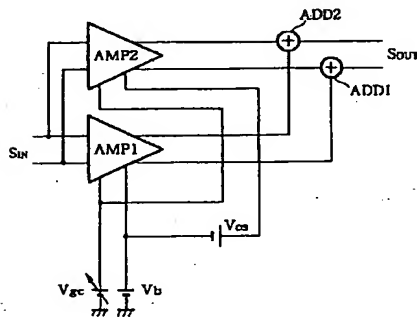
【図8】図4に示す増幅回路を構成する増幅器AMP2の等価回路を示す図である。

【図9】図4に示す増幅回路を構成する増幅器AMP1の等価回路を示す図である。

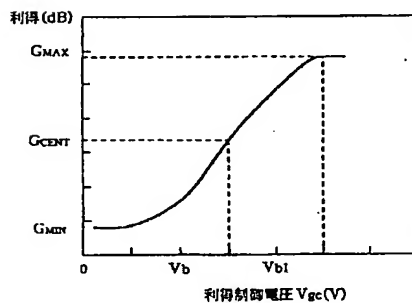
【図10】図4に示す増幅回路の制御特性を示す図である。

【図11】直列型増幅回路のノイズ特性を説明するための回路図である。

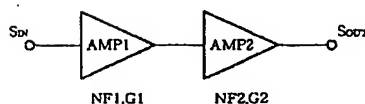
【図1】



【図3】



【図11】



22

【図12】従来の直列型2段増幅回路の回路図である。

【図13】図12に示す増幅回路を構成する増幅器の回路図である。

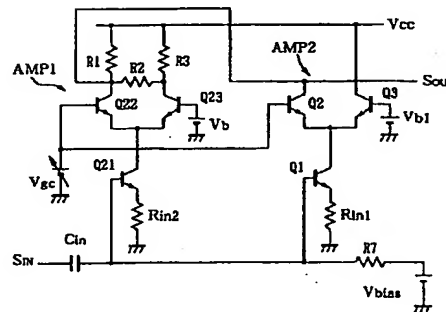
【図14】直列型増幅回路の一構成例を示す回路図である。

【図15】図14に示す増幅回路の利得制御特性を示す図である。

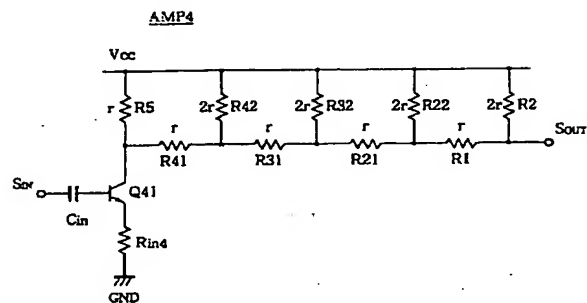
【符号の説明】

AMP1, AMP2…増幅器、R1, R2, R3, R21, R22, R31, R32, R41, R42, R5, R6, R7, R8, R<sub>in1</sub>, R<sub>in2</sub>, R<sub>in3</sub>, R<sub>in4</sub>…抵抗素子、Q1, Q2, Q3, Q21, Q22, Q23, Q31, Q32, Q33, Q41, Q42, Q43…トランジスタ、C1, C2, C<sub>IN1</sub>, C<sub>IN2</sub>, C<sub>in</sub>…キャパシタ、V<sub>CC</sub>…電源電圧、GND…接地電位。

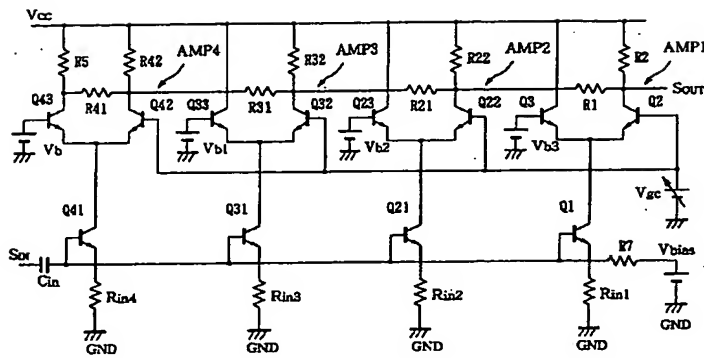
【図2】



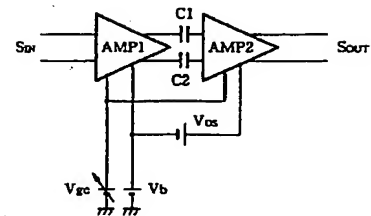
【図5】



【図4】

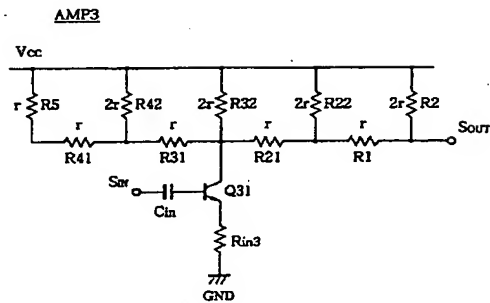
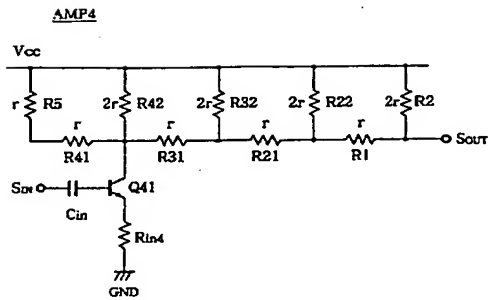


【図12】



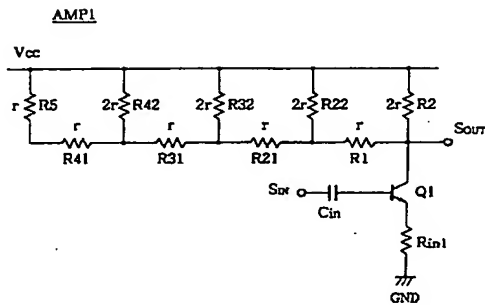
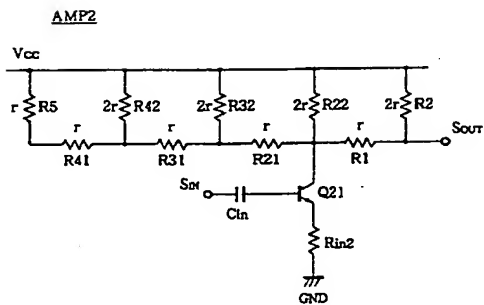
【図6】

【図7】

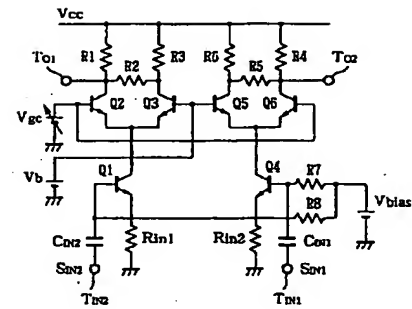


【図8】

【図9】



【図 13】



The schematic diagram illustrates a two-stage CMOS differential amplifier. The first stage consists of a PMOS network with transistors Q22 and Q23, and an NMOS transistor Q21. The input signal \$S\_{in}\$ is applied to the gates of Q22 and Q23. The output of the first stage is connected to the gate of the second stage's PMOS network, which includes transistors Q1 and Q3. The second stage also features an NMOS transistor Q2. A current source \$I\_{S1}\$ is connected between the gates of Q1 and Q3 and ground. The output of the second stage is taken from the node between Q1 and Q2, passing through resistor R7 to produce \$V\_{bias}\$. Various biasing points are indicated: \$V\_{gc}\$ for the first stage inputs, \$V\_b\$ for the first stage NMOS gate, \$V\_{gc}\$ for the second stage inputs, and \$V\_{bl}\$ for the second stage NMOS gate. Resistors R21, R22, R23, R1, R2, R3, R7, \$R\_{in}\$, and \$C\_{in}\$ are used for biasing and signal processing. The supply voltage \$V\_{cc}\$ is connected to the PMOS networks.